



RESEARCH

높은 전자이동도를 가지는 산화인듐 박막트랜지스터의 제조 및 특성분석

이예담¹, 김현수², 조혜린¹, 오홍석^{1,2*}

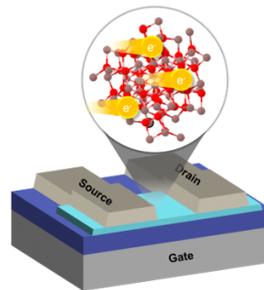
¹송실대학교 물리학과, ²송실대학교 지능형반도체학과

Fabrication and Characterization of High Mobility In₂O₃ TFT

Yedam Lee¹, Hyunsoo Kim², Hyerin Jo¹, Hongseok Oh^{1,2*}

¹Department of Physics, Soongsil University, Seoul, Korea

¹Department of Intelligent Semiconductors, Soongsil University, Seoul, Korea



ABSTRACT

We report fabrication of high-mobility In₂O₃ thin-film transistors (TFTs) and their characterization. In₂O₃ thin film was deposited by radio-frequency magnetron sputtering method and used as a channel layer. Electrical characterizations revealed excellent performance of the fabricated TFTs such as high ON current, large I_{max}/I_{min} ratio, and formation of good Ohmic junctions. Uniform transconductance was observed over large range of gate bias. Especially, transmission line method was applied for different gate overdrive bias values to extract the effective gate lengths of the fabricated TFTs. This analysis enables to accurately derive the field effect mobility of the TFTs, where the maximum value was calculated to be 53.8 cm²/Vs.

Key Words: In₂O₃, Thin film transistor (TFT), High mobility, RF magnetron sputtering, Transmission line method

*Correspondence: hoh@ssu.ac.kr



1. 서론

오늘날 디스플레이 백플레인에는 박막트랜지스터(thin film transistor, TFT)가 집적되어 각 화소의 제어를 담당하고 있다. 흔히 사용되고 있는 비정질 규소(a-Si) 기반 박막트랜지스터는 적절한 에너지 밴드갭을 가지고 있어 소자 제작이 용이하고, 경제적이라는 장점이 있다. 그러나 디스플레이 산업 및 집적 회로의 발전에 따라 점차 고성능의 트랜지스터가 요구되면서, a-Si 기반 박막트랜지스터보다 더 뛰어난 성능의 대체품을 찾을 필요가 급증하였다. 2004년, Hosono 연구팀이 비정질 산화물 반도체인 In-Ga-Zn-O(a-IGZO)를 발표하면서 a-IGZO는 현재 규소반도체 기반 박막트랜지스터를 대체할 차세대 물질로써 급부상했다[1]. IGZO TFT는 복잡한 공정 과정이 필요하지 않고, 상온에서 증착이 가능하며 유연하다는 특징이 있어 디스플레이 기반 산업의 혁신적인 돌파구가 되리라고 많은 기대를 얻고 있다. 하지만 이런 IGZO TFT의 수많은 장점에도 불구하고, IGZO 기반 TFT의 이동도는 $10 \text{ cm}^2/\text{Vs}$ 정도로 제한된다는 단점이 존재한다[2]. 이를 극복하기 위해 IGZO의 구성 요소 중 이동도를 높이는 데 쓰이는 물질인 In를 기반으로 IGZO TFT의 이동도를 증가시키려는 많은 노력이 시도되었다.

In은 매우 큰 5s 오비탈을 가지고 있으며, 이 오비탈의 중첩은 비정질 결정에서도 전자가 쉽게 움직일 수 있는 통로를 제공한다[3]. 따라서 높은 In 함유량을 가지는 비정질 산화물 반도체는 우수한 전자이동도를 보이게 되고, 이를 활용한 고전자이동도 소자가 다수 보고되고 있다. In_2O_3 를 dual channel로 증착하는 방법이 효과를 얻어 $34.3 \text{ cm}^2/\text{Vs}$ 의 전자이동도를 측정하였다[4]. 플라즈마 원자막 증착방식 등의 방식을 사용하여 전자이동도를 높이는 방법이나 IGZO의 Ga나 ZnO를 TiN으로 대체한 IZTO/IGTO TFT도 연구되었다[3-6]. 일반적으로, In_2O_3 기반 TFT는 전자이동도가 높

으나, 최대/최소 전류비가 낮고 동작 안정성이 불안한 문제를 가지고 있다고 인식되고 있다.

이러한 맥락에서 본 논문에서는 증착 과정이 간단하면서도 높은 전자이동도 및 최대/최소 전류비 등 우수한 특성을 가지는 In_2O_3 박막트랜지스터의 제조를 보고한다.

2. 연구방법

2.1. 박막트랜지스터의 제조

모든 소자는 SiO_2 산화막이 300 nm 성장된 p^+ Si 기판 위에 제조되었다. 이 때 SiO_2 는 게이트 절연막으로 작용하였다. 준비된 기판 위에 In_2O_3 채널층이 RF 마그네트론 스퍼터링(radio frequency magnetron sputtering) 기법으로 증착되었다. 고순도 In_2O_3 타겟(99.99%, 태원과학)을 사용하였으며, 금속 새도우마스크(제작: 미래테크)를 사용하여 원하는 선폭으로 채널이 선택적으로 증착될 수 있도록 하였다. 증착시 고순도 Ar 가스(99.999%)가 사용되었으며 챔버에 유입되는 유량은 99 sccm, 챔버의 압력은 4 mTorr로 유지되었다. 증착은 스퍼터링 파워 100 W에서 10분간 진행되었다. 이어서 Al 전극은 DC 마그네트론 스퍼터링(direct current magnetron sputtering)을 이용하여 증착되었으며, 역시 금속 새도우마스크가 사용되어 전극 사이 간격을 조절하여 선택적으로 전극을 증착하였다. 고순도 Al 타겟(99.999%)이 사용되었으며, 증착시 마찬가지로 고순도 Ar 가스만이 사용되었다. 챔버에 유입되는 유량은 99 sccm, 챔버의 압력은 10 mTorr로 유지되었고, 증착은 스퍼터링 파워 약 100 W에서 5분간 진행되었다.

소자 제작시 사용한 금속 마스크는 채널층의 넓이(W)가 일정하게 고정되고, 길이(L)는 각각 100, 150, 200, 250 μm 이었다. 증착 완료 후 채널층의 넓이는 광학현미경으로 관찰했을 때 450 μm 으로 측정되어, 본

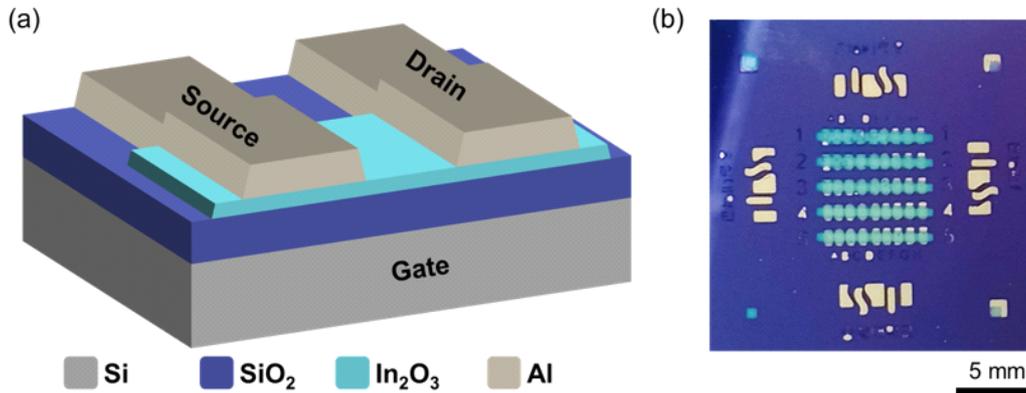


Fig. 1. The structure of the device. (a) Schematic illustration of the device structure. (b) A photograph of the fabricated device.

논문에서는 이 값을 채널의 W 값으로 사용하였다.

전극 증착이 완료된 이후, 특성을 개선하기 위해 핫플레이트를 사용하여 250도에서 1시간 15분 가량 열처리를 진행했다[7]. 마지막으로, Si기판의 밑면에 흡집을 낸 뒤 전도성 수지도료인 실버페이스트(silver paste)를 이용하여 구리 테이프를 부착, 게이트 전극을 만들었다. 제조된 박막트랜지스터의 최종 구조는 Fig. 1(a)와 같으며, 제조된 소자의 사진은 Fig. 1(b)에 나와 있다.

2.2. 트랜지스터 특성 측정

소자 측정은 프로브스테이션 (MSTECH MST4000A)에서 진행되어 빛의 영향을 최소화 하였다. 측정을 위해 2대의 소스미터기기(Keithley Model 2400)을 사용하였으며, 자체 제작한 파이썬 기반 소프트웨어와 컴퓨터로 소스미터기기를 제어하여 측정을 진행하였다[8].

3. 결과 및 고찰

먼저 제조된 소자의 전류-전압(current-voltage, $I \sim V$) 특성을 분석하였다. Fig. 2(a)는 제조된 소자의 출력특성곡선(output characteristic curves)을 채널 길이

별로(100, 150, 200, 250 μm) 보여준다. 드레인 전압(V_d)을 0 V에서 20 V까지 변화시키면서 전류를 측정하였고, 게이트 전압(V_g)은 0에서 100 V까지 각 커브마다 20 V 간격으로 변화하였다. 먼저 전체적인 전류의 크기는 L 이 증가할 수록 감소함을 알 수 있다. 박막 트랜지스터에서 드레인 전류(I_d)는 식 (1)과 같이 Square-law 모델을 사용하여 근사적으로 기술될 수 있다[9,10]. W 가 일정한 상태에서 L 이 증가할 때 소자의 W/L 비율이 감소하므로, 전체 전류는 줄어들게 된다.

$$I_d = \frac{W}{L} \mu C_i \left[(V_g - V_{th}) V_d - \frac{V_d^2}{2} \right] \quad (1)$$

C_i : 단위면적당 축전용량

또한 그래프에서 보는 바와 같이, 모든 커브에서 전류의 증가가 선형적으로 일어나는 것을 확인할 수 있었으며, 이는 소스/드레인 전극과 In_2O_3 채널 사이에 옴릭 접합이 잘 형성되었음을 시사한다. 게이트 전압에 따라 전류의 증가 폭 역시 일정하게 나타났으며, 이를 통해 측정 범위 내에서는 소자가 일정한 전자 이동도 및 축전 용량을 가짐을 알 수 있다. 단, 본 소자에서는 채널이 낮은 문턱전압을 가지고 있으며, 게이트의 축전용량이 상대적으로 낮아 본 측정범위에서 Pinch-off 및 포화 현상은 관찰하지 못했다. 또한, 채널 길이

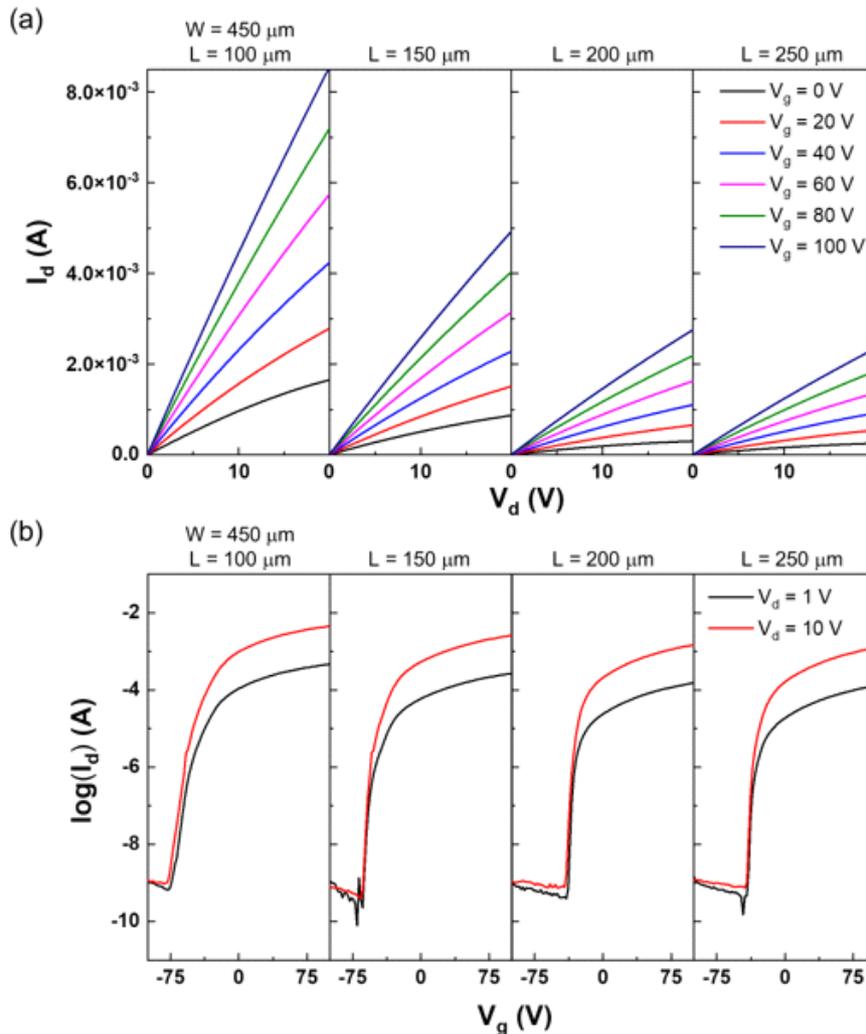


Fig. 2. I-V characteristics of the devices with different channel lengths of 100, 150, 200, and 250 μm (from left to right). Channel width was kept to be 450 μm . (a) Output characteristics of the devices, where drain bias was swept from 0 to 20 V at different gate biases from 0 to 100 V with a step of 20 V. (b) Transfer characteristics of the devices where gate bias was swept from -100 to 100 V, recorded for drain bias of 1 V (black curves) and 10 V (red curves), respectively.

가 증가함에 따라 전체 커브의 개형은 유지한 채 최대 전류의 크기가 일정한 비율로 줄어들음을 확인할 수 있었다.

제조된 소자의 전달특성곡선(transfer characteristic curves) 역시 측정 및 분석되었다. Fig. 2(b)는 채널 길이에 따른 전달특성곡선을 세미-로그 플롯으로 보여준다. 게이트 전압은 -100 V에서 100 V까지 변화되었으

며, 드레인 전압 1 V와 10 V에서 각각 측정이 이루어졌다. 모든 소자에서, 전류의 증가는 약 -75 V \sim -50 V 부근에서 시작되었다. 전류의 증가가 시작되는 지점을 턴온전압(turn-on voltage, V_{on})으로 말하기도 하는데, 채널의 길이가 증가함에 따라 V_{on} 역시 증가하는 경향을 확인할 수 있다[11,12]. 이는 채널 길이가 짧아



집에 따라 채널과 전극과의 상호작용 등에 따라 전체 채널 대비 유효 채널이 더 짧아지고, 채널의 특성에 어느 정도 영향을 주는 것으로 해석할 수 있다. 낮은 V_{on} 은 순수한 In_2O_3 를 채널로 사용하는 TFT의 특징이기도 하다.

한편, 모든 소자에서 최소 전류 대비 최대 전류의 비율은 10^6 이상을 기록하였으며, 이는 본 기술이 적용된 소자가 향후 디스플레이 등 산업분야에서 실제 응용까지 충분히 이를 수 있을 만큼 우수한 점멸비를 가질 수 있음을 시사한다. 소자의 특징을 나타내는 또 다른 지표 중 하나인 Subthreshold Swing(SS)의 경우, 채널이 $100\ \mu\text{m}$ 일 때는 $5.07\ \text{V/dec}$ 로 다소 높았으며, 이는 채널 길이가 줄어들어 따라 다소 변화한 채널의 특성이 영향을 준 것으로 보인다. 채널이 $150\ \mu\text{m}$ 이상인 경우는 $1.6\ \text{V/dec}$ 내외의 값을 안정적으로 보여주었으며, 이는 낮은 채널 축전 용량을 감안하면 타 연구와 비교해 보아도 상대적으로 우수한 특성을 나타낸 것으로 보인다.

문턱 전압 및 전계효과 전자이동도(field effect mobility, μ)를 구하기 위해, Fig. 3(a) 및 Fig. 3(b)와 같이 전달 곡선에 대한 추가 분석을 실시하였다. Fig. 3(a)는 채널 길이에 따른 전달곡선의 선형 플롯을 보여준다. 점선은 문턱전압(threshold voltage, V_{th}) 추출을 위한 $0\ \text{V} < V_g < 100\ \text{V}$ 영역의 데이터를 이용한 선형 피팅을 보여준다. 높은 V_g ($V_g > 0\ \text{V}$) 영역에서, 채널 길이에 관계없이 모든 소자는 선형적 전류 향상을 보여주었다. 낮은 드레인 전압에서 트랜지스터의 전류는 다음 식 (2)와 같이 근사될 수 있다.

$$I_d \cong \frac{W}{L} \mu C_i (V_g - V_{th}) V_d \quad (2)$$

따라서, 선형 피팅을 이용하여 선형 피팅이 $I_d=0$ (x축) 과 만나는 지점을 V_{th} 로 계산하였다. 그 결과, V_{th} 는 $-28.9 \sim -11.5\ \text{V}$ 영역에 분포하였으며(Table 1), 채널 길이가 길어짐에 따라 문턱전압이 증가하는 경향을 확

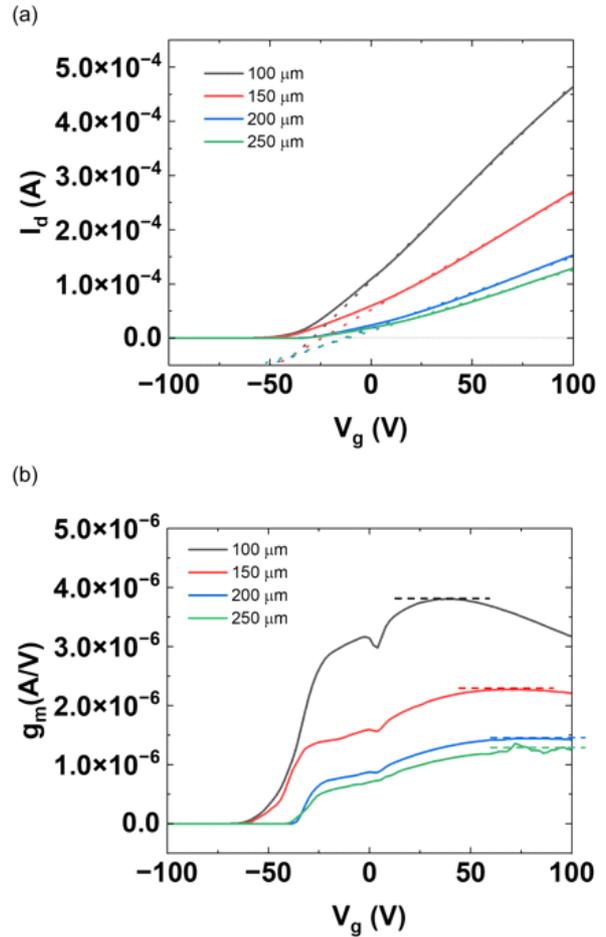


Fig. 3. Analysis on transfer characteristics. The devices with different channel lengths of 100, 150, 200, and 250 μm and channel width of 450 μm are used. (a) Linear plot of transfer curves of the devices, measured at $V_d=1\ \text{V}$. The dashed line shows linear extrapolation to extract the threshold voltage values. (b) Transconductance curves of the devices calculated from (a). The dashed lines indicate the maximum transconductance values, used to calculate the field effect mobility.

인할 수 있었다. 전반적으로 V_{th} 는 꽤 큰 음의 전압 영역에 형성되는데, 이는 In_2O_3 의 높은 전자 농도에 비롯한다. 음의 V_{th} 는 추가적인 UV/오존 처리, 새로운 채널 증착 기법, 도핑 등 다양한 방법으로 추후 개선될 수 있으리라 예상된다[13-15].

Fig. 3(b)는 게이트 전압에 따른 트랜스컨덕턴스



Table 1. Electrical characteristics of the devices with different channel lengths

Channel length (μm)	V_{on} (V)	V_{th} (V)	I_{max}/I_{min}	Subthreshold swing (V/dec)	Field effect mobility (cm^2/Vs)*
100	-76	-28.9	4.8×10^6	5.07	48.2
150	-64	-24.1	6.4×10^6	1.65	50.7
200	-40	-13.3	2.0×10^6	1.60	46.1
250	-42	-11.5	1.6×10^6	1.56	53.8

*Please note that the field effect mobility values are calculated by utilizing effective channel length L_{eff} in Eq. 2.

(transconductance, g_m)의 변화를 채널 길이별로 플롯한 것이다. g_m 은 $V_g > 0$ V 구간에서 비교적 일정하게 유지되며, 앞서 계산한 문턱전압보다 약 50 V~60 V 높은 게이트전압에서 최대치를 나타내었다. 전반적으로 소자가 넓은 V_g 영역에서 선형적으로 동작함을 확인할 수 있다.

소자내 전자의 전계효과 전자이동도를 올바르게 계산하기 위해서는, 채널의 유효길이(L_{eff})가 물리적 길이 L 과 어떻게 달라지는지 확인할 필요가 있다. 본 소자 제작 공정에서, 열처리 등에 따라 금속이 채널에 확산될 경우, 유효 채널 길이는 감소하게 된다. 이를 반영하지 않으면, 전계효과 전자이동도는 실제보다 과대평가될 여지가 있다. 이를 위해 transmission line method (TLM)를 문턱 전압 대비 게이트 전압($V_g - V_{th}$)에 해당하는 과구동전압(overdrive voltage, V_{ov}) 별로 적용하였다. 전극에서의 확산영역이 채널에서 차지하는 길이를 ΔL , 채널의 기생저항(접촉저항 등)을 R_0 , 소자의 전체 저항을 R_T 이라고 하면, R_T 는 다음 식 (3)과 같이 기술된다[16-18].

$$R_T = \frac{L - 2\Delta L}{\mu WCi(V_g - V_{th})} + 2R_0 \quad (3)$$

Fig. 4는 높은 V_{ov} 영역($60 \text{ V} < V_{ov} < 160 \text{ V}$)에서, V_{ov} 별 채널 전체 저항 R_T 의 채널 길이에 따른 변화 및 이의 선형 피팅 결과를 보여준다. 여기에서 V_{ov} 별 채널 저항은 1 V에서 측정된 전달 곡선의 $0 \text{ V} < V_g < 100 \text{ V}$

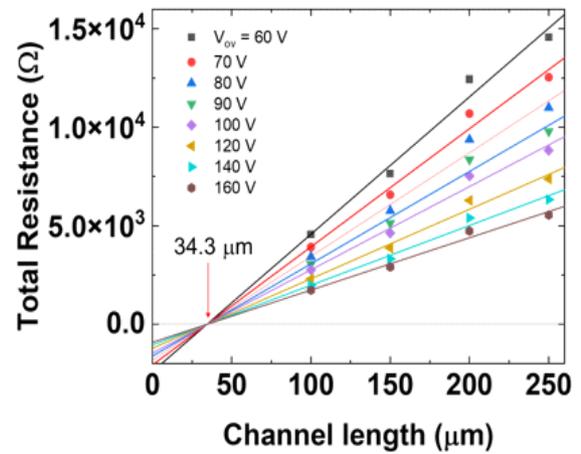


Fig. 4. Total resistance of the channel as a function of channel length, to determine the effective channel length. Each plot corresponds to different gate overdrive Voltages, from 60 to 160 V with a step of 20 V.

의 선형 피팅에서 유추되었다. V_{ov} 와 관계없이, $2 \Delta L = 34.3 \mu\text{m}$ 과 $R_0 \sim 10 \Omega$ 의 결과를 얻을 수 있었다. 이는 전극에서의 확산 영역이 채널에서 상당한 크기를 차지함을 나타낸다. R_0 는 음수일 수는 없으나, 전체 측정 범위 대비 아주 작은 값을 볼 때 R_0 는 채널 저항 대비 매우 작으며, 소자 간 특성 차이에 따라 피팅 결과에 다소 오차가 있어서 음수의 값으로 계산된 것으로 추정된다.

전계효과 전자이동도는 유효채널 길이($L_{eff} = L - 2\Delta L$)를 반영하고, 선형 영역($V_d = 1 \text{ V}$)에서 측정된 최대 g_m 을 포함, 식 (4)로 계산하였다.



$$\mu = \frac{1}{C_i} \frac{L_{eff}}{W} g_m \frac{1}{V_d} \quad (4)$$

C_i 는 산화실리콘의 상대적 유전율 3.9, 산화실리콘 두께 300 nm를 반영하여 계산하였으며, g_m 은 Fig. 3(b)에 표시된 Transconductance의 최대값을 사용하였다. Table 1에서 보는 바와 같이, 채널길이에 따라 전계효과 전하이동도는 46.1~53.8 cm²/Vs에 걸쳐 분포되었다. 소자간 전하이동도의 편차는 추후 스퍼터링 공정, 열처리 공정 등 여러 공정의 기판 내 균일도를 향상시킴으로써 개선될 수 있으리라 예상된다.

4. 결론

본 연구는 In₂O₃ 단일 채널층으로 박막 트랜지스터를 제작하고, 최대 53.8 cm²/Vs의 높은 전하이동도 등을 확인했다. 소자는 10⁶ 이상의 최대/최소 전류비, 1 nA 미만의 누설전류, 우수한 오믹 접합 및 넓은 게이트 전압 범위에서 균일한 선형적 동작 특성을 보였다. 문턱전압의 경우, 다소 낮은 전압(-28.9~-11.5 V)에서 형성되었으며, 채널의 길이에 따라 문턱 전압이 증가하는 특성을 관찰할 수 있었다. 소자의 채널에서 유효 채널의 길이를 확인하기 위해 TLM 방법을 과구동 전압의 함수로 적용하였고, 전극에서 약 17 μm 정도 확산영역이 존재함을 확인할 수 있었다. 본 연구는 간단한 스퍼터링 방법으로 높은 전하이동도의 박막트랜지스터를 제조할 수 있음을 보였으며, 향후 고성능 디스플레이 제작 등에 활용될 수 있으리라 예상된다.

기호설명

V_d : Drain bias
 V_g : Gate bias
 L : Channel length
 W : Channel width

C_i : Capacitance per unit area
 V_{th} : Threshold voltage
 V_{on} : Turn-on voltage
 V_{ov} : Overdrive voltage, $V_g - V_{th}$
 g_m : Transconductance
 μ : Field effect mobility
 ΔL : Diffusion length from the electrode
 L_{eff} : Effective channel length
 R_0 : Parasitic resistance

ACKNOWLEDGEMENTS

Author Contributions

YL, HK, HJ were involved in experiments, analysis, and discussion. YL drafted the manuscript. HO supervised the project. All authors read and approved the final manuscript.

Funding

This work was supported by the Ministry of Science and ICT(MIST) and Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea government(MOE) (No.2022-0-01188, University Innovation(Artificial Intelligence (AI) Semiconductor Human Resource Development) (Soongsil University))

Declarations of Competing Interests

The authors declare that they have no competing interests.

REFERENCES

[1] Nomura, K.; Ohta, H.; Takagi, A.; Kamiya, T.;



- Hirano, M.; Hosono, H. Room-Temperature Fabrication of Transparent Flexible Thin-Film Transistors Using Amorphous Oxide Semiconductors. *Nature* 2004, 432 (7016), 488-492.
- [2] Zhu, Y.; He, Y.; Jiang, S.; Zhu, L.; Chen, C.; Wan, Q. Indium-Gallium-Zinc-Oxide Thin-Film Transistors: Materials, Devices, and Applications. *J. Semicond.* 2021, 42 (3), 031101.
- [3] Yap, B. K.; Zhang, Z.; Thien, G. S. H.; Chan, K. Y.; Tan, C. Y. Recent Advances of In_2O_3 -Based Thin-Film Transistors: A Review. *Appl. Surf. Sci. Adv.* 2023, 16, 100423.
- [4] Deng, X.; Zhang, Y.; Fu, H.; Zhang, S. High Mobility Metal-Oxide Thin Film Transistors with IGZO/ In_2O_3 Dual-Channel Structure. In 2018 9th International Conference on Computer Aided Design for Thin-Film Transistors (CAD-TFT), Nov. 2018; pp 1-3.
- [5] Choi, C. H.; Kim, T.; Ueda, S.; Shiah, Y. S.; Hosono, H.; Kim, J. et al. High-Performance Indium Gallium Tin Oxide Transistors with an Al_2O_3 Gate Insulator Deposited by Atomic Layer Deposition at a Low Temperature of 150°C : Roles of Hydrogen and Excess Oxygen in the Al_2O_3 Dielectric Film. *ACS Appl. Mater. Interface.* 2021, 13 (24), 28451-28461.
- [6] Sheng, J.; Hong, T.; Lee, H. M.; Kim, K.; Sasase, M.; Kim, J. et al. Amorphous IGZO TFT with High Mobility of $\sim 70 \text{ cm}^2/(\text{V s})$ via Vertical Dimension Control Using PEALD. *ACS Appl. Mater. Interface.* 2019, 11 (43), 40300-40309.
- [7] Zhang, H. Z.; Cao, H. T.; Chen, A. H.; Liang, L. Y.; Liu, Z. M.; Wan, Q. Enhancement of Electrical Performance in In_2O_3 Thin-Film Transistors by Improving the Densification and Surface Morphology of Channel Layers. *Solid State Electron.* 2010, 54 (4), 479-483.
- [8] Oh, H.; Kim, H.; Jo, H. MeaSSUre:I-V: Open Software for Transistor Characterization Using Source-Meter Units. *SoftwareX* 2023, 21, 101318.
- [9] Baek, G.; Kanicki, J. Modeling of Current-Voltage Characteristics for Double-Gate a-IGZO TFTs and Its Application to AMLCDs. *J. Soc. Inf. Disp.* 2012, 20 (5), 237-244.
- [10] Pierret, R. Semiconductor Device Fundamentals; 1996; [Online]. Available: https://www.academia.edu/download/56149248/SEMICONDUCTOR_BOOK.pdf
- [11] Wang, S.; Uprety, S.; Mirkhani, V.; Hanggi, D.; Yapabandara, K.; Khanal, M. P. et al. The Effect of Gamma-Ray Irradiation on the Electrical Characteristics of Sol-Gel Derived Zinc Tin Oxide Thin Film Transistors. *Solid State Electron.* 2022, 191, 108270.
- [12] Wang, S.; Mirkhani, V.; Yapabandara, K.; Cheng, R.; Hernandez, G.; Khanal, M. P. et al. Electrical Characteristics and Density of States of Thin-Film Transistors Based on Sol-Gel Derived ZnO Channel Layers with Different Annealing Temperatures. *J. Appl. Phys.* 2018, 123 (16), 161503.
- [13] Zhao, H. L.; Shan, F.; Wang, X. L.; Lee, J. Y.; Kim, S. J. Improved Electrical Performance of In_2O_3 Thin-Film Transistor by UV/Ozone Treatment. *IEEE J. Electron Devices Soc.* 2022, 10, 379-386.
- [14] Yoo, K. S.; Lee, C. H.; Kim, D. G.; Choi, S. H.; Lee, W. B.; Park, C. K. et al. High Mobility and Productivity of Flexible In_2O_3 Thin-Film Transistors on Polyimide Substrates via Atmospheric



- Pressure Spatial Atomic Layer Deposition. *Appl. Surf. Sci.* 2024, 646, 158950.
- [15] Du, H.; Tuokedaerhan, K.; Zhang, R. Electrical Performance of La-Doped In_2O_3 Thin-Film Transistors Prepared Using a Solution Method for Low-Voltage Driving. *RSC Adv.* 2024, 14 (22), 15483-15490.
- [16] Choi, S.; Song, S.; Kim, T.; Shin, J. C.; Jo, J. W.; Park, S. K. et al. Self-Aligned Top-Gate Metal-Oxide Thin-Film Transistors Using a Solution-Processed Polymer Gate Dielectric. *Micro-machines* 2020, 11 (12), 1035.
- [17] Xu, Y.; Liu, C.; Amegadze, P. S. K.; Park, W. T.; Long, D. X.; Minari, T. et al. Significant Roles of Low-Temperature Post-Metallization Annealing in Solution-Processed Oxide Thin-Film Transistors. *Appl. Phys. Lett.* 2014, 105 (13), 113514.
- [18] Martin, S.; Chiang, C. S.; Nahm, J. Y.; Li, T.; Kanicki, J.; Ugai, Y. Influence of the Amorphous Silicon Thickness on Top Gate Thin-Film Transistor Electrical Performances. *Jpn. J. Appl. Phys.* 2001, 40 (2R), 530.

