유연인쇄전자학술지, 2026년 6월, 제5권 제1호, pp. 145-151
Journal of Flexible & Printed Electronics, June 2026, Vol. 5, Issue 1, pp. 145-151
Received 2026-05-17, Revised 2026-05-23, Accepted 2026-06-08
https://doi.org/10.56767/jfpe.260007
eISSN: 2951-2174

RESEARCH

게이트 절연막 제어를 통한 저전압 구동 용액공정 박막 트랜지스터 구현

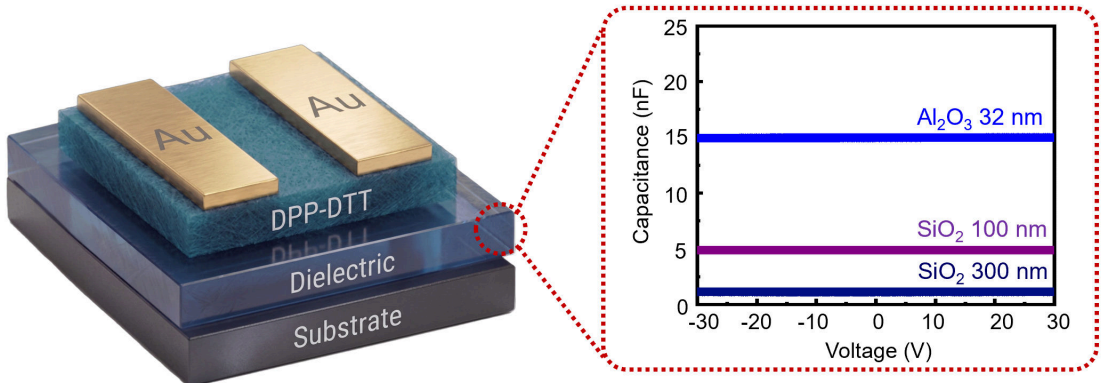
이용주, 김혁*

서울시립대학교, 전자전기컴퓨터공학부

Low-voltage Operation Solution-Processed Thin Film Transistors with Various Dielectrics

Yongju Lee, Hyeok Kim*

School of Electrical and Computer Engineering, University of Seoul, Seoul, Korea



ABSTRACT

This paper investigates the effect of gate dielectric structures on the low-voltage operation of solution-processed Diketo-pyrrolopyrrole-thienothiophene copolymer (DPP-DTT) organic thin-film transistors. Devices were fabricated using 300 nm SiO_2, 100 nm SiO_2, and 32 nm Al_2O_3 gate dielectrics. ODTS and ODPA self-assembled monolayers were introduced on the SiO_2 and Al_2O_3 surfaces, respectively, to improve the semiconductor/dielectric interface. The device with 300 nm SiO_2 operated at 100 V, showing an on/off current ratio of 1.93×10^5 and a mobility of 0.54 $cm^2\ V^{-1}\ s^{-1}$. Reducing the SiO_2 thickness to 100 nm lowered the operating voltage to 50 V and increased the mobility to 1.4 $cm^2\ V^{-1}\ s^{-1}$. Notably, the 32 nm Al_2O_3-based device operated at only 5 V with an on/off ratio of 1.86×10^4. These results demonstrate that gate dielectric engineering is effective for low-power organic thin-film transistors.

Key Words: Organic thin-film transistor, Gate dielectric, DPP-DTT, Low-voltage operation

*Correspondence: hyeok.kim@uos.ac.kr

1. 서론

용액공정 기반 유기 박막 트랜지스터는 저온 공정, 대면적 제작, 기계적 유연성 및 소재 설계의 다양성으로 인해 유연 디스플레이, 웨어러블 센서, 인쇄전자 및 저전력 전자소자 분야에서 중요한 소자 플랫폼으로 주목받고 있다[1-3]. 특히 유기 반도체는 전하 수송, 박막 결정성 및 계면 특성 제어가 가능하여 다양한 기능성 박막 트랜지스터에 적용될 수 있다[3,6,7]. 최근 웨어러블 및 휴대형 전자시스템에서는 제한된 배터리 용량과 장시간 구동 안정성을 고려한 저전력 소자 기술의 필요성이 더욱 증가하고 있다[1-3].

트랜지스터의 전기적 구동 특성은 반도체층의 전하 수송 특성뿐만 아니라 게이트 절연막의 정전용량, 두께, 유전율 및 반도체/절연막 계면 특성에 의해 영향을 받는다[5,8-10]. 높은 정전용량의 게이트 절연막은 낮은 전압에서도 채널 내 전하 축적을 효과적으로 유도할 수 있어 저전력 구동에 유리하다[2,5,8]. 특히 Al_2O_3는 SiO_2보다 높은 유전율을 갖는 high-k 유전체로, 얇은 두께에서도 높은 게이트 정전용량을 확보할 수 있다[5,8]. 그러나 안정적인 소자 동작을 위해서는 절연막 표면의 트랩, 계면 거칠기 및 표면 에너지에 따른 전하 수송 저하를 최소화해야 하므로, 게이트 절연막의 전기적 특성 제어와 계면 안정화가 함께 고려되어야 한다[4,9,10].

본 연구에서는 Fig. 1(a)~(c)에 나타낸 바와 같이, DPP-DTT 기반 용액공정 유기 박막 트랜지스터에 서로 다른 게이트 절연막 구조인 SiO_2 300 nm, SiO_2 100 nm 및 Al_2O_3 32 nm를 적용하고, 각 구조가 소자의 저전압 구동 및 전기적 특성에 미치는 영향을 비교 분석하였다. 또한 SiO_2 기반 소자에는 octadecyltrichlorosilane(ODTS), Al_2O_3 기반 소자에는 Octadecylphosphonic acid(ODPA) 자가조립 단분자막 처리를 도입하여 반도체/절연막 계면을 안정화하였다. 제작된 소자는 transfer curve, gate leakage current, output curve 및 capacitance 특성을 통해 평가하였으며, 게이트 절연막 구조에 따른 구동전압, 문턱전압, 전하 이동도, on/off ratio 및 gate leakage 특성 변화를 비교하였다. 이를 통해 Al_2O_3 기반 high-k 게이트 절연막이 DPP-DTT 기반 용액공정 유기 박막 트랜지스터의 저

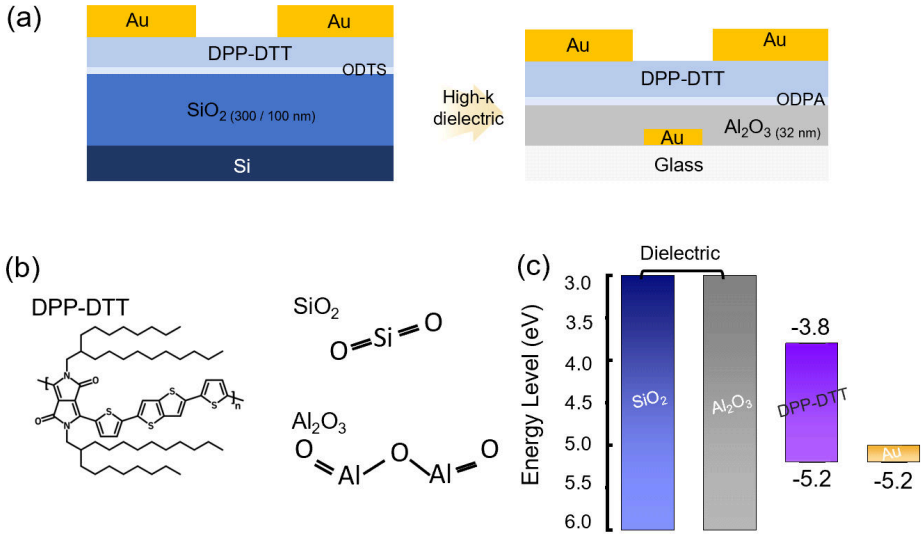


Fig. 1. Device design of DPP-DTT thin-film transistors for low-voltage operation. (a) Schematic device structures. (b) Chemical structures of DPP-DTT, SiO_2, and Al_2O_3. (c) Energy-level diagram.

전압 구동에 미치는 영향을 확인하고, 저전압 TFT 구현을 위한 절연막 구조 선택에 기초적인 실험 자료를 제공하고자 한다.

2. 연구방법

2.1. 시약 및 재료

본 연구에 사용된 DPP-DTT는 1-Material Inc.에서 구입하였다. ODPA, ODTS, sulfuric acid(H_2SO_4), hydrogen peroxide(H_2O_2), toluene, acetone, 2-propanol, anhydrous chloroform(CF)은 Sigma-Aldrich에서 구입하여 별도의 정제 없이 사용하였다. Deionized water(DI water, 18 MΩ·cm)는 reverse osmosis purification system을 이용하여 제조하였다. Si/SiO_2 wafer(100 nm, 300 nm)와 glass substrate, Gold(Au)는 4Science에서 구입하였다.

2.2. 소자 제작

2.2.1. SiO_2 소자 제작

Si/SiO_2 기판은 piranha solution 및 유기용매 세정을 거친 후 O_2 plasma 처리를 수행하였다. 이후 ODTS SAM 처리를 통해 표면을 개질하였다. DPP-DTT 반도체층은 spin-coating(3,000 rpm, 60 s)으로 형성한 뒤 annealing(150℃, 10 min)하였으며, Au source/drain 전극은 vacuum evaporation을 통해 50 nm 두께로 증착하였다.

2.2.2. Al_2O_3 소자 제작

Glass 기판은 유기용매 세정을 통해 표면 오염물을 제거한 후 사용하였다. 세정된 glass 기판 위에 vacuum evaporation을 이용하여 Au gate 전극을 50 nm 두께로 증착하였다. 이후 PEALD 공정을 통해 Al_2O_3 게이트 절연층을 형성하였으며, Al_2O_3 표면에는 ODPA SAM 처리를 도입하여 반도체/절연막 계면을 개질하였다. DPP-DTT 반도체층은 spin-coating 공정을 통해 형성한 뒤 annealing을 수행하였으며, 마지막으로 Au source/drain 전극을 50 nm 두께로 증착하였다.

3. 결과 및 고찰

3.1. 전기적 특성

게이트 절연막 구조가 DPP-DTT 기반 용액공정 유기 박막 트랜지스터의 저전압 및 저전력 구동 특성에 미치는 영향을 확인하기 위해, SiO_2 300 nm, SiO_2 100 nm 및 Al_2O_3 32 nm 절연막을 적용한 소자의 전기적 특성을 비교 분석하였다. Fig. 2(a)~(c)는 각 게이트 절연막을 적용한 소자의 transfer curve를 나타내며, 모든 소자에서 음의 게이트 전압이 인가될수록 drain current가 증가하는 p-type transistor 특성이 확인되었다.

Transfer curve로부터 추출한 각 소자의 구동 전압, on/off 전류비, 문턱전압 및 전하 이동도는 Table 1에 정리하였다.

Table 1에서 확인할 수 있듯이, SiO_2 300 nm 기반 소자는 V_{DS}=−100 V 조건에서 동작하였으며, 1.93×10^5의 I_{on}/I_{off}와 0.54 cm^2/Vs의 전하 이동도를 나타냈다. 상대적으로 두꺼운 SiO_2 절연막을 사용한 경우 높은 gate voltage가 요구되었지만, 안정적인 p-type transistor 특성이 확인되었다. SiO_2 두께를 100 nm로 감소시킨 경우, 구동 전압은 50 V로 낮아졌으며 전하 이동도는 1.4 cm^2/Vs로 향상되었다. 이는 절연막 두께 감소에 따른 게이트 정전용량 증가로 인해 동일한 gate voltage 조건에서도 채널 내 전하 축적이 보다 효과적으로 이루어졌기 때문으로 판단된다. Al_2O_3 32 nm 기반 소자는 V_{DS}=−5 V의 낮은 전압 조건에서도 명확한 transfer 특성을 나타냈다. Al_2O_3 절연막 기반 소자는 5 V의 구동 전압에서 1.86×10^4의 I_{on}/I_{off}와 0.7 cm^2/Vs의 전하 이동도를 보였다. 이는 Al_2O_3가 SiO_2보다 높은 유전율

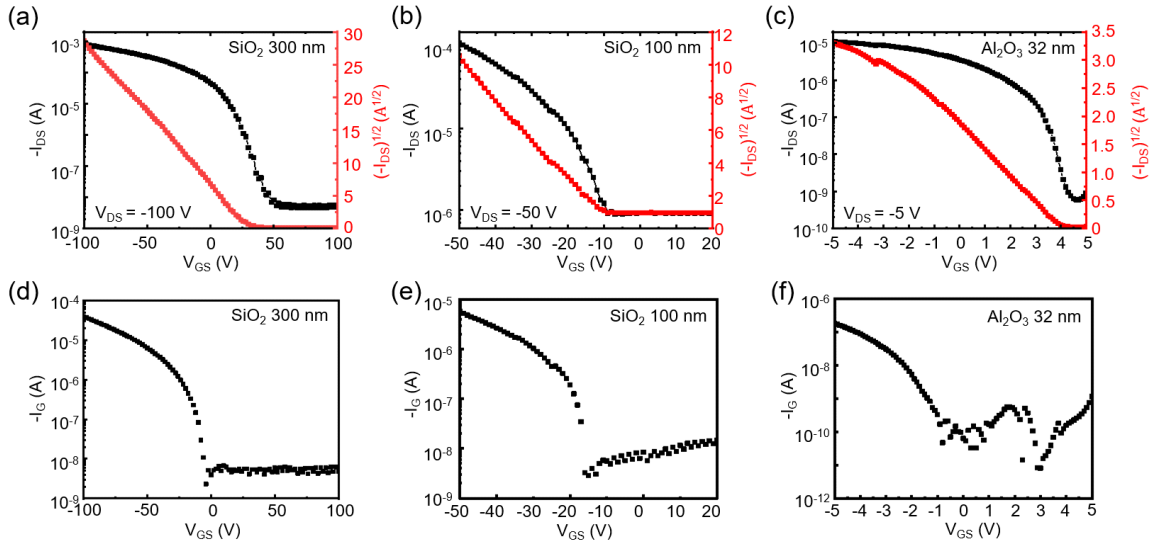


Fig. 2. Transfer and gate leakage characteristics of DPP-DTT TFTs with different gate dielectrics. (a–c) Transfer curves of devices with SiO_2 300 nm, SiO_2 100 nm, and Al_2O_3 32 nm dielectrics. (d–f) Corresponding gate leakage currents.

Table 1. Electrical parameters of DPP-DTT TFTs with different gate dielectrics. (V_{op}: operating voltage, I_{on}/I_{off}: on/off current ratio, V_{th}: Threshold voltage, μ: mobility)

	V_{op}(V)	I_{on}/I_{off}	V_{th} (V)	μ ($cm^2V^{-1}s^{-1}$)
SiO_2 300 nm	100	1.93×10^5	33.4	0.54
SiO_2 100 nm	50	5.5×10^3	–3.2	1.4
Al_2O_3 32 nm	5	1.86×10^4	4.1	0.7

을 갖는 high-k 유전체이기 때문에, 얇은 두께에서도 높은 게이트 정전용량을 확보할 수 있고, 그 결과 낮은 전압에서도 효과적인 채널 전하 변조가 가능했기 때문으로 해석된다. 특히 Al_2O_3 기반 소자는 SiO_2 기반 소자에 비해 현저히 낮은 전압 범위에서 동작하므로, 저전압 및 저전력 구동형 유기 박막 트랜지스터 구현에 유리한 구조임을 확인할 수 있다.

SiO_2 기반 소자의 경우 Al_2O_3 절연막에 비해 낮은 gate capacitance를 가지므로, 충분한 channel modulation과 전기적 특성 추출을 위해 상대적으로 높은 V_{GS} 및 V_{DS} 조건에서 transfer curve를 측정하였다. 이로 인해 높은 gate voltage 영역에서 gate leakage current가 증가하는 경향이 관찰되었으나, on-state 영역에서 drain current가 gate leakage current보다 높은 수준을 유지하여, 관찰된 전류 변조는 주로 channel transport에 의한 transistor 동작으로 해석된다. 반면 Al_2O_3 32 nm 기반 소자는 높은 gate capacitance로 인해 낮은 전압 범위에서도 효과적인 channel modulation이 가능하였으며, 안정적인 gate leakage 특성을 나타내어 저전압 DPP-DTT TFT 구동에 유리함을 보여준다.

모든 소자에서 음의 V_{GS}가 증가함에 따라 $-I_{DS}$가 증가하는 p-type transistor 동작이 확인되었다. SiO_2 300 nm 기반 소자는 높은 전압 범위에서 전류 변조가 나타났으며, SiO_2 100 nm 소자는 절연막 두께 감소에 따른 gate capacitance 증가로 인해 더 큰 drain current를 보였다. 반면 Al_2O_3 32 nm 기반 소자는 V_{GS}=0~−5 V 및 V_{DS}=0~−2.5 V의 낮은 전압 조건에서도 명확한 drain current modulation을 나타냈다. 이는 high-k Al_2O_3 절연막이 낮은 전압에서도 효과적인 채널 전하 축적을

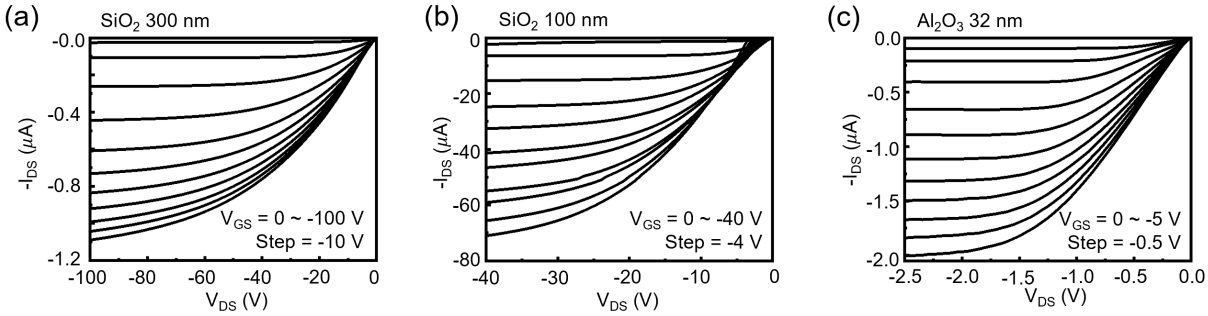


Fig. 3. Output characteristics of DPP-DTT TFTs with different gate dielectrics. (a) SiO_2 300 nm, (b) SiO_2 100 nm, and (c) Al_2O_3 32 nm.

가능하게 하여 저전력 구동에 유리함을 보여준다.

Fig. 4는 게이트 절연막 구조에 따른 정전용량 차이를 확인하기 위해 측정한 capacitance-voltage 특성을 나타낸다. 게이트 절연막의 capacitance는 동일한 gate voltage 조건에서 채널에 유도될 수 있는 전하량을 결정하는 핵심 인자이며, 박막 트랜지스터의 구동 전압, 전류 변조 특성 및 field-effect mobility 산출에 직접적으로 관여한다. 일반적으로 게이트 절연막의 정전용량이 클수록 낮은 gate voltage에서도 더 많은 전하를 채널에 축적할 수 있으므로, 저전압 및 저전력 구동 소자 설계에서 capacitance 특성 분석은 필수적이다. 따라서 본 연구에서는 SiO_2 300 nm, SiO_2 100 nm 및 Al_2O_3 32 nm 절연막의 capacitance를 비교함으로써, 앞서 관찰된 transfer 및 output 특성의 차이가 게이트 절연막의 전하 유도 능력과 어떻게 연관되는지 확인하고자 하였다.

Fig. 4(a)에서 SiO_2 300 nm 절연막은 100 kHz 조건에서 약 1.1 nF 수준의 capacitance를 나타냈다. 이는 상대적으로 두꺼운 SiO_2 절연막으로 인해 게이트 전계가 채널에 충분히 전달되기 어렵고, 그 결과 Fig. 2와 Fig. 3에서와 같이 높은 구동 전압이 요구되는 원인으로 해석될 수 있다. Fig. 4(b)의 SiO_2 100 nm 절연막은 약 4.9 nF 수준의 capacitance를 보였으며, 이는 동일한 SiO_2 유전체에서도 절연막 두께가 감소함에 따라 정전용량이 증가한 결과이다. 이러한 capacitance 증가는 SiO_2 100 nm 소자에서 더 낮은 전압 조건에서도 전류 변조가 가능했던 결과와 잘 일치한다.

반면 Fig. 4(c)의 Al_2O_3 32 nm 절연막은 약 15 nF 수준의 가장 높은 capacitance를 나타냈다. 이는 Al_2O_3가 SiO_2보다 높은 유전율을 갖는 high-k 유전체이며,

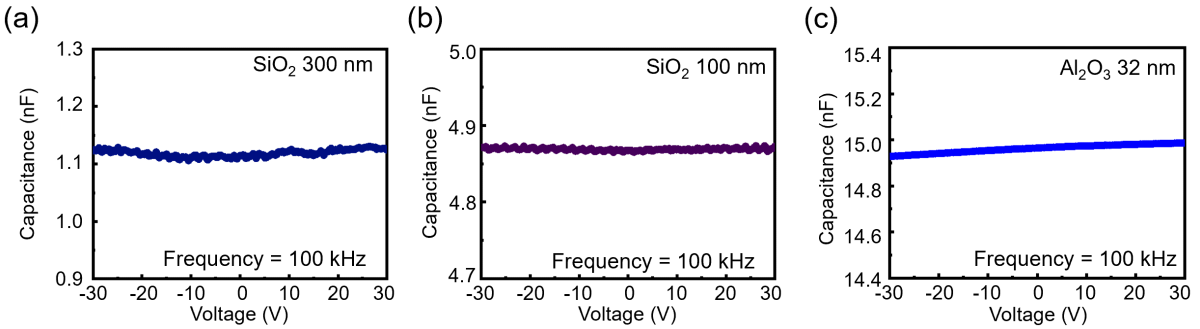


Fig. 4. Capacitance characteristics of different gate dielectrics. (a) SiO_2 300 nm, (b) SiO_2 100 nm, and (c) Al_2O_3 32 nm measured at 100 kHz.

동시에 얇은 절연막 두께를 갖기 때문에 낮은 전압에서도 채널 내 전하 축적을 효과적으로 유도할 수 있음을 의미한다. 또한 세 절연막 모두 측정 전압 범위에서 비교적 일정한 capacitance 값을 유지하였으며, 이는 gate bias 변화에 대해 안정적인 정전용량 특성을 제공함을 보여준다. 특히 Al_2O_3 32 nm 절연막의 높은 capacitance는 Fig. 2와 Fig. 3에서 확인된 저전압 transfer 및 output 특성을 뒷받침한다.

즉, Al_2O_3 기반 소자는 높은 게이트 정전용량을 바탕으로 V_{GS}=-5 V 이하의 낮은 전압에서도 DPP-DTT 채널 내 전하 축적을 효과적으로 유도할 수 있었으며, 이를 통해 저전력 구동형 유기 박막 트랜지스터 구현 가능성을 확인하였다.

4. 결론

본 연구에서는 DPP-DTT 기반 용액공정 유기 박막 트랜지스터에 서로 다른 게이트 절연막 구조를 적용하여 저전력 구동 특성을 비교 분석하였다. SiO_2 300 nm, SiO_2 100 nm 및 Al_2O_3 32 nm 절연막을 적용한 소자를 제작하였으며, 각 절연막 표면에는 ODTS 또는 ODPA 자가조립단분자막 처리를 도입하여 반도체/절연막 계면을 안정화하였다. 제작된 소자는 모두 p-type transistor 동작을 나타냈으며, 게이트 절연막의 두께 및 유전율 변화에 따라 구동 전압과 전류 변조 특성이 크게 달라지는 것을 확인하였다.

SiO_2 300 nm 기반 소자는 100 V의 구동 전압에서 안정적인 transistor 특성을 보였으며, SiO_2 두께를 100 nm로 감소시킨 경우 구동 전압은 50 V로 낮아지고 전하 이동도는 1.4 cm^2/Vs로 향상되었다. 특히 Al_2O_3 32 nm 기반 소자는 5 V 이하의 낮은 전압 조건에서도 명확한 transfer 및 output 특성을 나타냈으며, 1.86×10^4의 I_{on}/I_{off}와 0.7 cm^2/Vs의 전하 이동도를 보였다. 이러한 결과는 high-k 유전체인 Al_2O_3와 얇은 절연막 구조가 낮은 전압에서도 효과적인 채널 전하 축적을 가능하게 함을 보여준다.

또한 capacitance 분석을 통해 SiO_2 300 nm, SiO_2 100 nm 및 Al_2O_3 32 nm 절연막의 정전용량이 각각 약 1.1, 4.9 및 15 nF 수준으로 증가함을 확인하였다. 이는 절연막 두께 감소와 high-k 유전체 적용이 게이트 정전용량을 효과적으로 향상시키며, 저전압 구동 특성과 밀접하게 연관됨을 의미한다. 결과적으로 본 연구는 게이트 절연막의 두께, 유전율 및 계면 특성 제어가 용액공정 유기 박막 트랜지스터의 저전력 구동 설계에 중요한 요소임을 보여주며, 향후 유연 전자소자, 웨어러블 센서 및 인쇄전자 기반 저전력 소자 응용에 활용될 수 있는 설계 전략을 제시한다.

기호설명

DPP-DTT: Diketopyrrolopyrrole-dithienothiophene-based conjugated polymer
TFT: Thin-film transistor
SAM: Self-assembled monolayer
ODTS: Octadecyltrichlorosilane
ODPA: Octadecylphosphonic acid
PEALD: Plasma-enhanced atomic layer deposition
V_{th}: Threshold voltage
V_{GS}: Gate-source voltage
V_{DS}: Drain-source voltage
I_{DS}: Drain-source current
I_G: Gate current
I_{on}/I_{off}: On/off current ratio
μ: Field-effect mobility
C: Capacitance

ACKNOWLEDGEMENTS

Author Contributions

Y. L. conducted the experiments and prepared the manuscript. H. K. designed the experiments, supervised the study, and reviewed the manuscript.

Funding

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (No. 2022R1A2C2007784), and This work was supported by the Korea Planning & Evaluation Institute of Industrial Technology (KEIT) (RS-2024-00417909) funded by the Ministry of Trade, Industry & Energy (MOTIE, Korea), and this work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (No. RS-2024-00411764).

Declarations of Competing Interests

The authors declare that they have no competing interests.

REFERENCES

[1] Kim, W.; Kwon, J.; Jung, S. 3D Integration of Flexible and Printed Electronics: Integrated Circuits, Memories, and Sensors. J. Flex. Print. Electron. 2023, 2, 199-210.

[2] Cho, K. G.; Kim, M. S.; Park, D. H.; Lee, K. H. Spray-Printed Sub-1 V and Flexible Electrolyte-Gated Inverters. J. Flex. Print. Electron. 2024, 3, 103-110.

[3] Jeong, H. S.; Kim, C. W.; Son, B. G.; Han, Y. G.; Baeg, K. J. Nano-Structured Organic Semiconductor Thin-Films for High-Performance Electrolyte-Gated Transistors. J. Flex. Print. Electron. 2024, 3, 111-120.

[4] Oh, S. M.; Seo, H.; Ryu, K. Y.; Kong, H.; Kim, S. H. Inkjet-Printed Single-Wall Carbon Nanotube Thin-Film Transistors with Fluorinated Polymer Dielectrics. J. Flex. Print. Electron. 2022, 1, 235-245.

[5] Boukhili, W.; Wageh, S.; Tan, C. L.; Sun, H.; Khim, D. Low-Voltage n- and p-Channel Organic Transistors using Al_2O_3 Dielectric. J. Flex. Print. Electron. 2025, 4, 137-149.

[6] Sirringhaus, H. Device Physics of Solution-Processed Organic Field-Effect Transistors. Adv. Mater. 2005, 17, 2411-2425.

[7] Li, J.; Zhao, Y.; Tan, H. S.; Guo, Y.; Di, C. A.; Yu, G. et al. A Stable Solution-Processed Polymer Semiconductor with Record High-Mobility for Printed Transistors. Sci. Rep. 2012, 2, 754.

[8] Facchetti, A.; Yoon, M. H.; Marks, T. J. Gate Dielectrics for Organic Field-Effect Transistors: New Opportunities for Organic Electronics. Adv. Mater. 2005, 17, 1705-1725.

[9] Kobayashi, S.; Nishikawa, T.; Takenobu, T.; Mori, S.; Shimoda, T.; Mitani, T. et al. Control of Carrier Density by Self-Assembled Monolayers in Organic Field-Effect Transistors. Nat. Mater. 2004, 3, 317-322.

[10] Park, Y. D.; Lim, J. A.; Lee, H. S.; Cho, K. Interface Engineering in Organic Transistors. Mater. Today. 2007, 10, 46-54.